

基于 Handel-C 的空间图像压缩核的 CCSDS 算法实现

滕学剑, 顾晓东, 陈晓敏

(中国科学院空间科学与应用研究中心, 北京 100190)

摘 要: 本文给出了一种采用 Handel-C 设计理念, 基于 CCSDS 图像压缩算法的硬件图像压缩核的设计过程. 算法实现过程中充分利用 Handel-C 语言的硬件并行实现机制, 在各个硬件模块间大量采用并行运算和流水结构, 提高了芯片的处理速度. 实验数据表明, 本文压缩核的设计在资源消耗和码速率两方面取得了很好的折中. 在频率为 50MHz 的情况下, 码速率可以达到 15.2Mpixels/s; 在 8 倍压缩情况下, 平均 PSNR 接近 40dB, 16 倍压缩情况下, 平均 PSNR 超过 30dB.

关键词: Handel-C; CCSDS; 离散小波变换; 并行处理; 流水线; 位平面编码

中图分类号: TP752 **文献标识码:** A **文章编号:** 0372-2112(2010)07-1716-07

The Implementation of CCSDS Onboard Image Compression Core Based on Handel-C Language

TENG Xue-jian, GU Xiao-dong, CHEN Xiao-min

(Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: This paper presents a high performance image compressor for onboard space image, based on CCSDS algorithm^[1] by using Handel-C language. The hardware solution proposed here exploits many parallel architectures and pipeline techniques under the Handel-C language's hardware mechanism, thus effectively improves compressing speed. A testing system is introduced to verify the design and the experimental results indicate that this core is a very good middle course between chip resource and speed. The average PSNR can be achieved to near 40dB with 8:1 compression ratio and 30dB plus with 16:1 compression ratio, and a maximum data rate of 15.2Mpixels/s is sustained at 50MHz.

Key words: Handel-C; CCSDS; discrete wavelet transform; parallel processing; pipeline; bit plane encode

1 引言

由于航天任务对系统尤其是实时系统的性能要求不断提高, 因此越来越多的卫星或者其他空间飞行器数据传输与处理系统中, 某些功能模块, 子系统甚至整个系统需要以硬件实现, 代替先前设计中纯粹的软件模块^[2]. 随着 FPGA 技术和 EDA 工具的进步, 尤其是针对复杂算法的高级硬件描述语言的发展, 例如 Handel-C, 为硬件系统的设计提供了便利条件.

伴随着航天遥感技术的迅猛发展, 采集空间图像的需求也日益增长^[3]. 由于图像数据量巨大, 多年来人们一直在探索合适的在轨高速图像压缩技术. 比较典型的有 EZT^[4], EBCOT^[5], SPIHT^[6]和 CCSDS 122.0-B-1^[1](简称 CCSDS 算法). 由于 EZT 和 EBCOT 采用算术编码, 而 SPIHT 算法对存储要求比较高, 这就限制了它们在空间应用的潜力^[7]. “空间数据系统咨询委员会” CCSDS (Consultative Committee for Space Data Systems), 一直致力于空

间数据系统的技术标准建议, 于 2005 年发布的 CCSDS 122.0-B-1 中推荐的空间图像压缩算法, 是一种基于小波变换的图像专用压缩算法. 该算法以其优良的图像压缩效率以及其针对空间数据的高可靠策略, 在空间图像数据压缩领域具有广阔的应用前景.

自 Handel-C 发布以来, 国内外有不少使用 Handel-C 的成功例子. 但在航天和卫星控制领域尚未被广泛采用. 本文试验性地使用 Handel-C 语言来实现 CCSDS 图像压缩核, 并对结果进行了评估.

2 算法简介

CCSDS 算法采用变换 + 编码数学模型, 包括离散小波变换 (DWT, Discrete Wavelet Transform) 模块和比特平面编码 (BPE, Bit Plane Encode) 模块, 如图 1 所示. DWT 模块用来对图像数据进行频带分解, 去除图像数据相关性, BPE 模块用来对变换后的小波系数进行位平面扫描和熵编码.

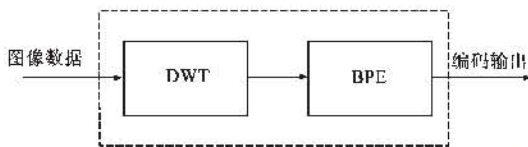


图1 CCSDS算法模型

2.1 离散小波变换(DWT)

CCSDS 图像压缩标准建议中,提供了 9/7 浮点和整数两种形式的离散小波变换.浮点形式的小波变换具有更好的去相关效果,缺点是运算复杂,难以采用硬件实现,而且不支持图像的无损压缩.整数形式的小波变换可以利用提升方法快速实现,支持无损压缩,提升方法如公式(1)(2)^[1]所示.

$$D_j = x_{2j+1} - \left\lfloor \frac{9}{16}(x_{2j} + x_{2j+2}) - \frac{1}{16}(x_{2j-2} + x_{2j+4}) + \frac{1}{2} \right\rfloor \quad (1)$$

$$C_j = x_{2j} - \left\lfloor -\frac{D_{j-1} + D_j}{4} + \frac{1}{2} \right\rfloor \quad (2)$$

其中 x_j 为当前像素灰度值, D_j 为高频系数, C_j 为低频系数, $\lfloor x \rfloor$ 表示对 x 进行向下取整.图像边缘采用镜像延拓.

本文采用 9/7 整数小波变换.

2.2 比特平面编码(BPE)

CCSDS 算法采用三层二维的小波变换,变换后形成 10 个频带,如图 2 所示,不同频带的系数形成了树状关系,LL3 频带对应 DC 系数(直流系数),每 1 个 DC 系数对应 3 个家族,每个家族都是一棵两层 4 叉树,包含 1 个父辈系数和 4 个儿辈系数和 16 个孙辈系数,如图 2 中虚线箭头所示,共 $64(1 + 3 * (1 + 4 + 16)) = 64$ 个系数组成一个数据块(Block).

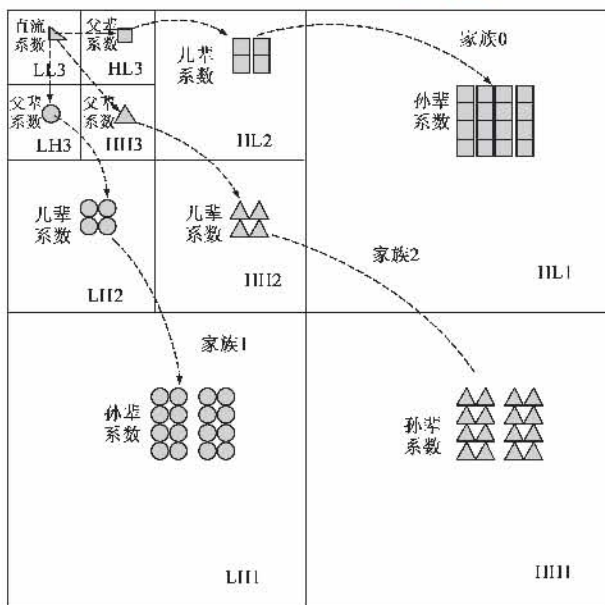


图2 小波系数、频带、家族、块组成示意图

在小波变换域,BPE 以 64 个系数组成的数据块(Block)为单位进行编码.首先根据位置坐标关系(见参考文献[1]表 4-1),将同一块成员排列成 8×8 的数据块,作为一个单元,并按照相应 DC 系数在 LL₃ 中的排列顺序,将各单元依次排列,然后开始扫描和编码.扫描前首先设定 S 个连续排列的单元为一个段,每次扫描编码只针对一个段.段与段之间相互独立扫描编码,以防止空间信道传输中数据丢失的情况下,造成解码端误码扩散.其中 S 越小,算法硬件实现时所需的存储资源越小,但同时图像的块效应越明显.

编码分交、直流系数分别进行.在直流系数编码中,DC 系数,AC 深度先按照协议中给定的量化表进行量化,然后对量化系数进行 Rice 编码.交流编码分位平面扫描和熵编码两部分.位平面扫描针对交流系数深度设定一系列阈值,按重要性由高到低,首先对最高比特平面的父系数进行扫描,然后对子系数进行扫描,最后扫描孙子系数,最终得到 22 种不同类型转义字和类型值等中间符号,再对这些符号进行熵编码,编码采用查表的方法.比特平面减 1,重复上述过程,直到达到最低比特平面或者达到压缩要求为止.不难看出,CCSDS 推荐的图像编码方法属于嵌入式编码范畴,所得到的码流支持数据的渐进传输,可以对码率进行灵活控制.

3 基于 Handel-C 语言的硬件架构

3.1 Handel-C 语言架构和传统 C 语言架构的区别

传统 C 语言是顺次执行语句流,虽然能够控制硬件,但不支持设计硬件.支持硬件设计的语言有 VHDL 和 Verilog,这两种语言的多个赋值语句和进程之间是并发执行语句流,它们支持硬件的并发特性.但要求设计人员要精心选择信号的时序或者状态机,使得多个进程和语句之间信号传递不会出现冲突和竞争.如果想添加新的并发进程或者改变某个并发进程为“顺序”执行时,往往涉及到多处语句的改动.

Handel-C 语言完美解决了上述问题,它内置并行执行控制语句 par{} 语句, par{} 语句可以使 C 语言中本来顺次执行的代码执行流程变成与实际硬件行为一致的并行操作,从而允许设计人员在编写或者修改已有的 C 代码算法基础上,更多考虑多个语句和模块之间并发操作的可行性.通过合理使用 Par 语句,能够非常方便的调节资源消耗和运行速度之间的矛盾^[8].

3.2 算法的硬件结构

传统 C 语言实现 CCSDS 的算法架构如图 3(a) 所示,设计中主要包括 DWT 和 BPE 两个模块.DWT 模块完成对输入图像的三级离散小波变换,BPE 模块完成对变换后小波系数的扫描和编码.

在参考已有的 C 语言实现 CCSDS 算法代码的基础

上,我们引入 Handel-C 语言设计 FPGA. 算法整体架构如图 3(b). 其中输入缓存、输出缓存和小波系数缓存模块对应 FPGA 片外 SRAM, BPE 模块编码后的数据经过缓存和码流拼接模块(ByteBuilder)得到定长码流并输出.

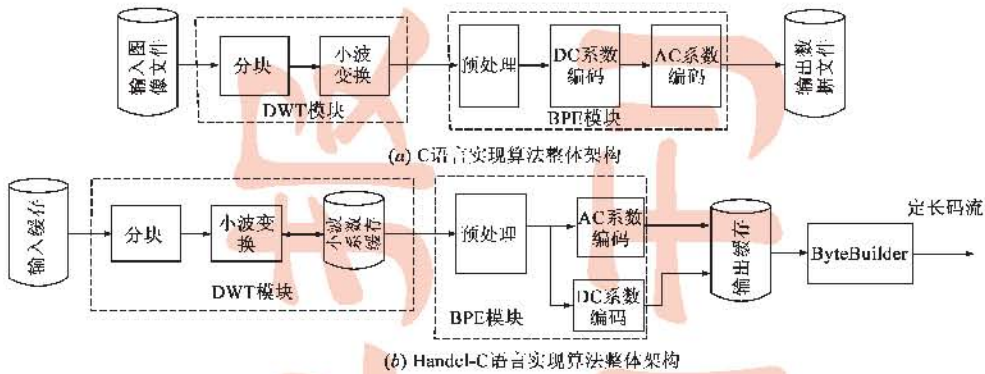


图3

数据还是从子带中读取数据. 地址生成器根据列滤波输出结果产生分配地址, 并把当前小波分解的系数写入外部存储器^[10].

每一级小波变换模块内部采用先行后列串行的方式实现小波变换模块, 但三级小波变换内存访问操作可采用并行流水操作, 如图 4 所示, 三级 DWT 可并行读写内存, 这三部分的代码可采用 `par ||` 语句实现并行执行, 相比级间串行内存访问设计, DWT 模块的处理速度能够提高 3 倍.

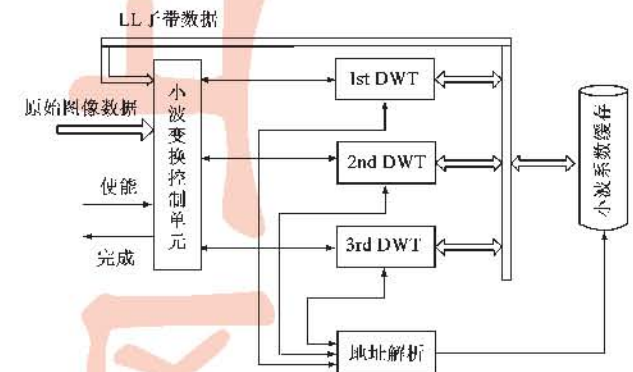


图4 三级小波变换结构

此外, 对于确定的 S (本文 $S=16$), 每个小波系数都对应一个固定的内存写入地址, 把这种地址映射关系存储在外部的 ROM 中, 每级变换后的小波系数直接从 ROM 中取出要存入的地址, 无需进行地址计算, 节省了运算延时, 也间接提高了模块的处理速度.

3.2.2 BPE 模块并行度分析

BPE 模块针对一个段的数据进行处理, 包括预处理, DC 系数编码和 AC 系数编码.

(1) AC 系数和 DC 系数并行处理

预处理之后, 编码分两路并行进行. 一路编码 DC 量化值和 AC 深度 (Rice 编码), 另一路编码 DC 的量化

3.2.1 DWT 模块内并行度分析

(1) 分析一维小波变换所采用的提升算法, 其中系数乘法可以转换成加法和移位操作, 由式 (1)(2) 可以得到其等效表达式 (3)、(4):

$$D_j = x_{2j+1} - \lfloor \frac{1}{16} ((x_{2j} + x_{2j+2} - x_{2j-2} - x_{2j-4}) + \frac{8}{16}(x_{2j} + x_{2j+2} + 1)) \rfloor \quad (3)$$

$$C_j = x_{2j} - \lfloor (2 - D_{j-1} - D_j) / 4 \rfloor \quad (4)$$

由公式 (3) 和 (4) 可以看出, 高频系数和低频系数的计算, 仅需要累加和移位 (拉伸变换) 操作. 研究^[9]发现, 单步计算 D_j 和 C_j 存在重复运算, 重复运算是在每次小波分解的过程中都做一次拉伸变换引起的. 因此可以对提升算法结构调整: 在计算完某一级的行和列所有的提升步骤后, 再对中间系数进行统一的拉伸变换处理. 这样减少了多次拉伸变换的冗余运算, 加快了计算 DWT 的运算速度.

上述并行度分析, 用 Handel-C 语言描述如下:

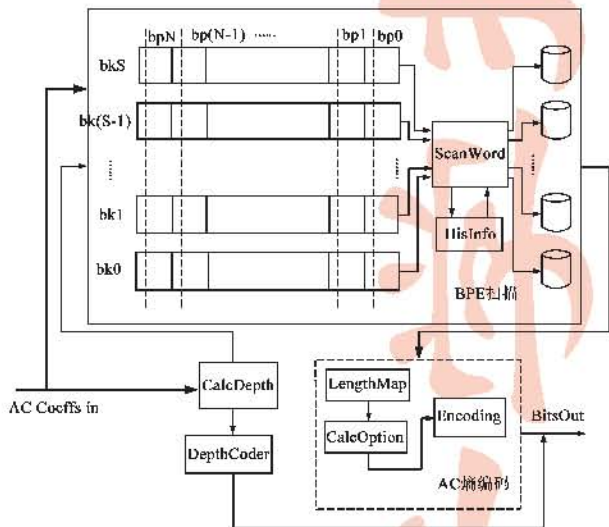
```
Par {
    t1 = x2j + x2j+2 - x2j-2 - x2j-4;
    t2 = (x2j + x2j+2 + 1) << 3;
}
Dj = x2j+1 - (t1 + t2) >> 4;
Cj = x2j - (2 - Dj-1 - Dj) >> 2;
```

(2) DWT 模块集中了 CCSDS 编码算法中的绝大部分计算, 由于资源限制, 本文采用比较简单三级小波变换的串行结构, 即顺次执行三级小波变换, 每一级完成之后将结果存入内存, 然后下一级变换从内存中读取上级变换的 LL 子带并开始变换. 如图 4 所示, 其中控制单元是根据当前分解级数来判断是否进行下一级小波分解, 并且控制变换输入的数据, 是从原始图像读取

余数和 AC 系数(位平面编码).因为两路编码过程相互独立,所以采取并行处理的方式,以节省运算时间,如图 3(b)所示.

(2)位平面扫描与编码并行设计

位平面扫描与编码(即 AC 系数编码)是算法中最复杂的模块,是本设计提高速度的关键所在.具体实现该模块时,本文对扫描方法、编码选项以及码表映射方式进行了改进并采用并行和流水相结合的技术,显著提高了位平面扫描与编码单元的运算速度.该单元硬件设计如图 5 所示.



符号含义:bp—比特平面,bk—块,N—AC系数深度,S—段内块的数目
图5 BPE模块硬件结构

具体改进方案主要包括以下 4 个方面:

①16 路并行扫描.本文设计中根据硬件资源限制选取 $S = 16$. 算法中 1 个段(Segment)包含 16 个块(Block),而且块与块之间对小波系数的扫描是相互独立的,故本文设计中采用 16 块单元并行扫描的设计,每一块扫描单元完成对一个独立块的扫描,扫描结果存入独立的缓存 RAM 中.这样扫描速度提高了 15 倍.

②扫描与编码之间流水.扫描单元(BlockScan)和熵编码单元(EntropyEncoding)都是按平面进行的,经实验分析,两个单元运算时间接近相同,为了进一步提高性能,本文采用扫描单元与熵编码单元在平面之间流水的设计,如图 6 所示,使 BPE 模块的码速率提高了 1 倍.

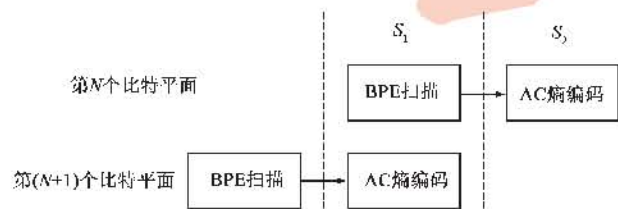


图6 扫描与编码并行流水

③4 级流水计算编码选项.AC 系数熵编码模块在编码前需要 CalcOption 模块计算最优编码选项.算法中段(Segment)是最小的编码单元,需要遍历 16 块的转义字才能计算出最优的编码选项,本设计中采用 4 路并行的方式完成最优编码选项的计算,即第一路完成对 Block0 ~ Block3 转义字的计算,第二路完成对 Block4 ~ Block7 转义字的计算,第三路完成对 Block8 ~ Block11 转义字的计算,第四路完成对 Block12 ~ Block15 转义字的计算,最后根据 4 级流水的计算结果综合得到最优编码选项.

④码表映射由查表方式改为组合逻辑实现.算法中给出 3 张符号和码字映射表(文献[1]表 4-15,4-16,4-17),在具体实现时,如果直接按照码表存储,相应的逻辑电路是一个很大的译码器,占用很多逻辑资源.优化时可以在查找表里寻找符号和码字的相关性,尽量用逻辑关系和比特拼接操作完成,这一点采用 Handel-C 语言很容易描述,避免了采用码表查找的方式来实现译码.由于码表映射过程在 Stage1 到 Stage3 阶段都要用到,采用这种译码的方式大大提高了位平面编码的整体性能.

3.2.3 DWT 模块和 BPE 模块间并行度分析

由图 3(a)可以看出,BPE 模块的输入是 DWT 模块的输出,初看起来它们二者之间是一种顺次执行关系,实际上它们之间也有并行执行关系.考虑图像块之间的流水,当原始图像数据连续输入,第 N 个图像块执行 DWT 模块时,第 $N - 1$ 个图像块就可以执行 BPE 模块,也就是说 DWT 模块和 BPE 模块可以在图像块与图像块之间并行执行,如图 7 所示.

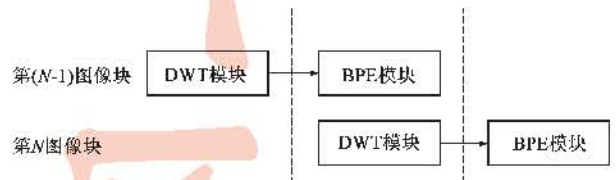


图7 压缩核整体流水架构示意图

因此本文采用 DWT 模块与 BPE 模块图像块之间的两级流水模式,进一步提高了压缩系统的输出码流速率.

4 算法的软件结构和模块连接

该算法使用 Handel-C 语言在其集成开发环境 DK2 中实现.功能上分为若干个功能模块实现,软件结构如图 8 所示.

为了实现算法中各个模块的结合,需要研究 Handel-C 模块相互连接的问题.

传统的软件设计里,模块之间可以通过全局变量来相互连接.在 Handel-C 里,由于硬件各个部分可以运

行在不同的时钟频率下,于此相对应 Handel-C 的每个设计模块允许有多个 main 函数,每个 main 函数都有自己唯一的时钟域 (Domain Clock) 指定语句,无论全局变量还是局部变量,只局限于声明该变量的模块的时钟域,因此 Handel-C 模块之间的连接,不能通过全局变量来连接,需要通过声明接口来实现。

具体方法是:在模块的 main 函数内,把用于模块连接的信号声明为接口信号,最后在顶层设计文件中将各个模块的接口连接起来,顶层的接口类名和各个模块的编译后文件名要对应一致。

每个需要连接的模块做上述处理后,将 Handel-C 语言源程序在 Celoxica DK 中编译生成 edif 文件,就可以和设计中的其他 VHDL 模块和 edif 模块进行仿真综合。仿真通过后使用 Xilinx 的布线工具完成布局布线,然后生成了可供下载到片子中的烧写文件,用于电路板级验证。

5 验证与性能分析

鉴于 CCSDS 推荐算法复杂度较高,硬件实现规模较大,本文采用 Xilinx 的 XC2V6000 器件作为设计验证平台,该芯片具有以下特点:

- 等效逻辑门是:600万;
- 含有 Slices 数:33792;
- 18×18 乘法器:144个;
- 数字时钟管理器:12个;
- Max Dist. RAM Kb:1056Kb;
- 最大可用用户 I/O:1104Pin

由此可以看出:XC2V6000 含有丰富的逻辑资源和寄存器资源,适于实现复杂的算法。

以此器件为核心搭建了验证系统,其结构如图9所示。在控制单元控制下,原始图像数据经过输入 FIFO 缓存后,进入压缩核系统中,压缩核系统对图像数据进行压缩处理,将码流写入到输出 FIFO 缓存。PC 机作为图像数据发送方,通过 USB 接口把图像数据发送至输入 FIFO,PC 机也作为压缩后图像数据接收方,接收输出

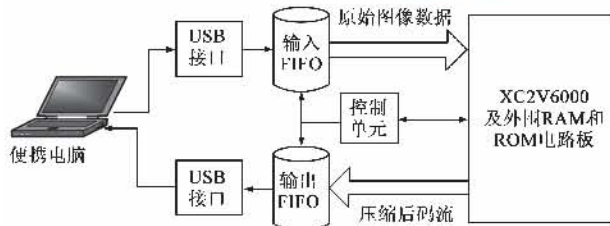


图9 验证系统结构

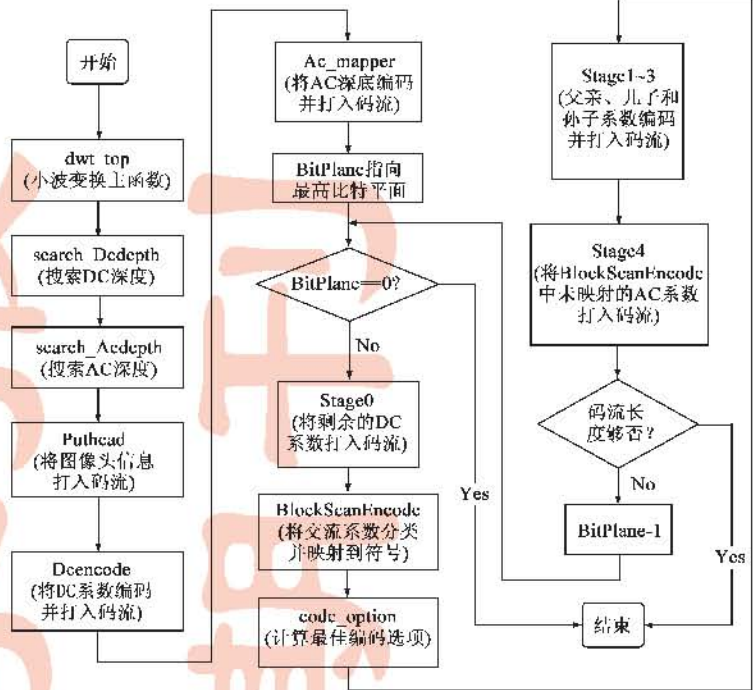


图8 算法的软件结构

FIFO 的码流数据并形成文件。经过验证比对,硬件压缩核输出的码流文件和 CCSDS 压缩软件输出码流文件完全一致。

本文设计的特点是引入 Handel-C 硬件描述语言实现 CCSDS 算法,为考察由此带来的性能改进,我们把本文设计结果与课题组早期采用 VHDL 语言实现的 CCSDS 算法压缩系统做比较,结果如表 1 所示。

表1 VHDL 实现和 Handel-C 实现结果比较

硬件描述语言	资源占有率 (slices)	码速率 (Mpixels/s)	频率 (MHz)	工艺
VHDL	23036 (68.2%)	12.5	40	Virtex II-4
本文 Handel-C	24871 (73.6%)	15.2	50	Virtex II-4

由表 1 可以看出,两种实现方式资源占有率接近,但本文输出压缩码速率较 VHDL 实现提高 21.6%,最高运行频率也提高 25%。主要原因是 Handel-C 语言现相对于 VHDL 语言,具有“高级”语言的优势,使得具体设计时不必关心底层寄存器和状态机的时序和操作,从而把更多精力关注于算法本身代码部分可并行实现的部分,如本文 3.2 节所述,从而优化了算法硬件实现。

由于本文的图像压缩系统定位于空间应用,因此选取国外具有同类应用背景文献作为性能比对,主要包括文献[7]和[11]等。硬件实现结果比较如表 2 所示。三者运行频率接近,均为 50MHz 左右,但在码速率方面,本文码速率可以达到 15.2 Mpixels/s,优于文献[7]而低于文献[11],主要原因是文献[11]采用了 3 片

不同的 FPGA 来完成整个压缩系统;资源消耗方面,文献[11]的资源消耗最高,文献[7]的资源消耗最低,这主要是由于文献[7]小波变换采用了 5/3 整数小波变换,编码部分采用了 NLS(Non Lists SPIHT)算法,降低了压缩性能.通过比较,可以看出本文压缩核在资源消耗和码速率两方面取得了很好的平衡.

表 2 硬件实现结果

类型	资源占有率	输出码速率	频率(MHz)	工艺	算法
[7]	6500 Slices	3.6M 像素/秒	50	Virtex II-4	SPIHT
本文	24871Slices (71%)	15.2M 像素/秒	50	Virtex II-4	CCSDS
[9]	98%	224M 字节/秒	56	Virtex-E	SPIHT

注:以上数据均为 8 倍压缩情况下的结果.

表 3 反映了本文与文献[7]和 JPEG2000 软件 PSNR 性能比较,在 4 倍压缩情况下,本压缩核与 JPEG2000 相比平均低 2~3dB,与文献[7]相比平均约高 7dB.

表 3 PSNR 比较

图像	Lena	Barbara	Goldhill
[7]	34.2dB	25.8dB	31.7dB
本文	40.89dB	37.56dB	38.31dB
JPEG2000 VM 7.1	42.7dB	40.6dB	39.9dB

注:以上数据均为 4 倍压缩情况下的结果.

为了测试压缩核对空间图像的压缩性能,本文选取一系列典型的 $512 \times 512 \times 8$ bit 遥感灰度图^[12]进行了测试,图 10 显示了其中 3 幅图片的测试效果.结果表明,本压缩核具有较高压缩性能,在 8 倍压缩情况下,平均 PSNR 接近 40dB,16 倍压缩情况下,平均 PSNR 超过 30dB.

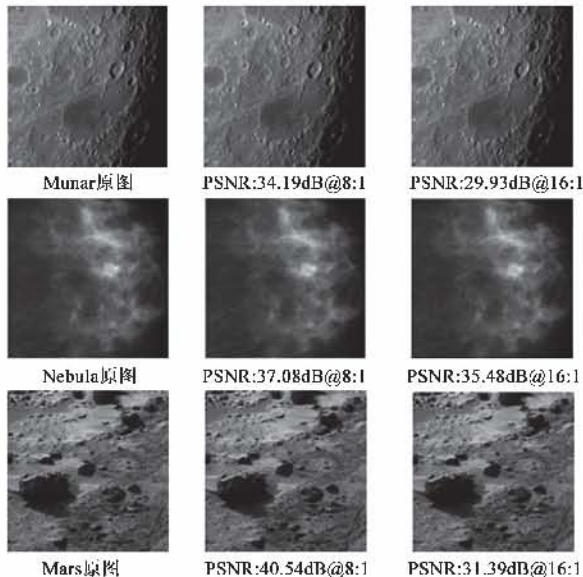


图10 典型图像集(8bit)压缩后平均PSNR

6 结论

本文给出了一种采用 Handel-C 设计理念,基于 CCSDS 图像压缩算法的空间图像压缩核的设计过程,本压缩核的设计具有以下三个特点:

(1)在 C 语言描述 CCSDS 图像压缩算法的基础上,直接用 C 语言实现 FPGA 的编程,无需考虑状态机、寄存器等底层硬件实现,从更高层次上简化了硬件设计过程.相对 VHDL 语言实现而言,大幅提高了设计效率.

(2)利用 Handel-C 语言的硬件并行实现机制,各个硬件模块间大量采用并行运算和流水结构,小波变换模块和扫描编码模块之间是图像块与图像块之间的流水,扫描编码模块是各比特平面间进行流水,提高了芯片的处理速度.在频率为 50MHz 的情况下,码速率可以达到 15.2Mpixels/s,基本满足星载图像硬件压缩的需求.

(3)压缩性能好.在 8 倍压缩情况下,平均 PSNR 接近 40dB,16 倍压缩情况下,平均 PSNR 超过 30dB,性能可以满足航天应用要求.

参考文献:

- [1] The Consultative Committee for Space Data Systems [S]. CCSDS 122.0-B-1 Image Data Compression, 2005. Technical Corrigendum 1 to CCSDS 122.0-B-1, Issued November 2005. Blue Book. Issue 1 Cor. 1, July 2006. Technical Corrigendum 2 to CCSDS 122.0-B-1, Issued November 2005. Blue Book. Issue 1 Cor. 2, July 2008.
- [2] 陈宇,李俊等.基于 FPGA 和 Handel-C 的声纳信号处理算法实现[J].声学技术,2003,22(22):82-84. CHEN Yu, et al. The implementation of sonar DSP algorithms based on FPGA and the hand-C language [J]. Technical Acoustics, 2003, 22(22):82-84. (in Chinese)
- [3] R Manduchi, S Dolinar, et al. Onboard science processing and buffer management for intelligent deep space communications [A]. Proceeding of IEEE Aerospace Conference [C]. BigSky, MT, USA, 2000. 329-339.
- [4] J M Shapiro. Embedded image coding using zerotrees of wavelet coefficients [J]. IEEE Transactions on Signal Processing, 1993, 41(11):3445-3462.
- [5] D Taubman. High performance scalable image compression with EBCOT [J]. IEEE Transactions on Image Processing, 2000, 9(5):1158-1170.
- [6] A Said, W A Pearlman. A new, fast, and efficient image codec based on set partitioning in hierarchical trees [J]. IEEE Transactions on Circuits and Systems for Video Technology, 1996, 6(6):243-250.
- [7] Pasqual Corsonello, Stefania Perri, et al. Low bit-rate image

- compression core for onboard space applications [J]. IEEE transaction on circuits and systems for video technology, 2006, 16(1):114-128.
- [8] Celoxica Ltd. Handel—C Language Reference Manual Version 3.2 [CP]
- [9] 钟广军, 成礼智等. 多级多维离散小波变换的快速提升算法[J]. 电子学报, 2001, 29(11):1475-1477.
ZHONG Guang-jun, et al. Fast Lifting algorithm for multi-level and multidimensional discrete wavelet transform [J]. Acta Electronica Sinica, 2001, 29(10):1475-1477. (in Chinese)
- [10] 兰旭光, 郑南宁等. JPEG2000 并行阵列式小波滤波器的 VLSI 结构设计[J]. 电子学报, 2004, 32(11):1806-1809.
LAN Xu-guang, et al. Parallel array VLSI architecture design of 2-D DWT for JPEG2000 [J]. Acta Electronica Sinica, 2004, 32(11):1806-1809. (in Chinese)
- [11] T W Fry, S Hauck. Hyperspectral image compression on re-configurable platforms [A]. Proceedings of the 10th Annual

IEEE Symposium on Field-Programmable Custom Computing Machines [C]. Washington, DC, USA: IEEE Computer Society, 2002, 9:251-260.

- [12] CCSDS Test Images [OL]. <http://cwe.ccsds.org/sls/docs/sls-dc/>, <http://decsai.ugr.es/cvg/dbimages/>

作者简介:



滕学剑 男, 1974 年 1 月出生, 江苏连云港人. 2000 年在中国矿业大学获得硕士学位后, 进入中科院空间中心从事空间电子设备设计工作, 现为中科院空间中心博士研究生, 助理研究员, 主要研究方向: 空间电子技术应用.

E-mail: tengxuejian@163.com

顾晓东 男, 1973 年出生, 新疆克拉玛依人, 博士后, 副研究员, 主要研究方向: 图像处理和计算机视觉.